

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10108025

(43)Date of publication of application: 24.04.1998

(51)Int.Cl.

H04N 1/41

G06T 1/60

G06T 1/00

H04N 1/46

// H03M 7/30

(21)Application number: 09197021

(71)Applicant:

CANON INC

(22)Date of filing: 23.07.1997

(72)Inventor:

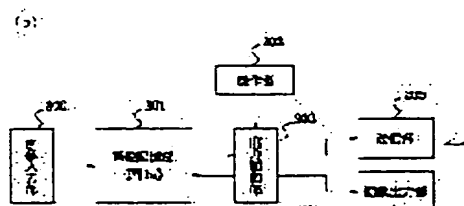
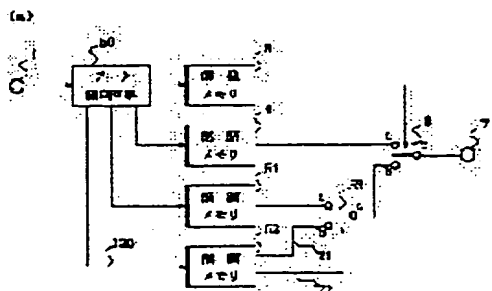
[SHIKAWA TAKASHI]

(54) IMAGE PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently express images for which color line images and halftone images coexist with high image quality by turning bit map data for indicating the line images, the coloring data and image data for indicating the halftone images into the image data for constituting one screen.

SOLUTION: For data inputted from the input terminal 1 of an image storage part 201, header information is interpreted in a data identification circuit 50, the bit map data of a text are stored in a resolution memory 3, the gradation (color) data of the text are stored in a gradation memory 4, a background color is stored in the gradation memory 51, and the image data provided with a halftone are stored in the gradation memory 52 respectively. The



read of the memories is controlled, so as to output the data corresponding to respective pixels successively from the head of a page from the resolution memory 3 and the gradation memories 4, 51 and 52 corresponding to synchronization signals from a printer side. To the control terminal of a selector 53, image area signals 122 outputted from the gradation memory 52 are inputted. The data for the changeover of the gradation memories 4 and 5 are 1-bit data for holding a resolution stored in the resolution memory 3.

LEGAL STATUS

[Date of request for examination] 23.07.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

MENU

SEARCH

INDEX

DETAIL

(19) 日本国特許庁 (JP)

(11)特許出願公開番号

特開平10-108025

(43)公開日 平成10年(1998)4月24日

(5) 試料名	識別記号	F I	C	Z	450 F	310	Z	測定項目の数 5	OL (全 8 回)
H04N	1/41	H04N	1/41						
G06T	1/50	H03M	7/30						
	1/00	G06F	15/64						
H04N	1/46		15/65						
// H03M	7/30	H04N	1/46						

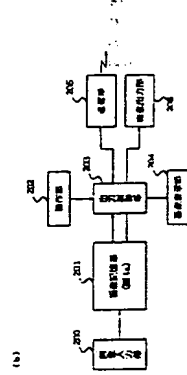
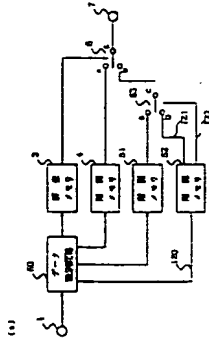
(21)川崎富村	特選平9-197021	(71)出穂人	000001007
(62)分割の表示	特選平2-204707の分割		キヤノン株式会社
(22)川崎日	平成2年(1990)7月31日	(72)泉明者	東京都大田区下丸子3丁目30番2号 石川 尚
			東京都大田区下丸子3丁目30番2号キヤノ ン株式会社内
		(74)代理人	弁磨士 丸島 樹一

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 カラー映画と中間調画像が混在する様な画像を効率的に表現する画像データの構成を提供し、特にこの画像データを用いて、高画質な画像を表現する。

【解決手段】 線画像を示すビットマップデータと、前記ビットマップデータの色を表現する色付けデータと、中間画像を示すイメージデータとを一面面を構成するための画像データとして発生する発生手段と、前記発生手段により発生したビットマップデータを出力する第1の出力手段と、前記発生手段により発生した色付けデータを非可逆圧縮して出力する第2の出力手段と、前記発生手段により発生したイメージデータを非可逆圧縮して出力する第3の出力手段とを有することを特徴とする画像処理装置。



ため本実施例では各画素1ピントのデータとなっている。

【0012】一方、読取メモリ4、5には各々アドレスデータ（本実施の形態ではRGB各8ピントの合計24ビットのデータ）が格納されるが、メモリ容量削減のため、画素数（解像度）が削減される。

【0013】図2は、本実施の形態の読取メモリ52の具体的な構成例を示すブロック図である。図中、9はメモリ、54は圧縮判定回路、55は圧縮回路、56は伸長回路、57は解凍抽出回路である。

【0014】イメージデータのアドレスには、イメージ領域の先頭アドレス及びイメージ領域の大きさ即ち幅と高さ（高さ）が設定されており、圧縮判定回路54は上記イメージ領域の幅と高さよりイメージ領域のデータ量を求めメモリ9の容量との比より圧縮率を設定し、圧縮回路55に出力する。圧縮回路55は図3に示すような回路で、設定された圧縮率になるように量子化条件が制御され、圧縮データがメモリ9に格納される。また、圧縮判定回路54では、ヘンツ情報よりイメージ領域の幅と高さの両値も生成し、解凍抽出回路57の各レジスタに上記両値も設定する。解凍抽出回路57は後述する図7の解凍抽出回路3と同等の回路である。

【0015】一方、プリンタエンジンで起動されると、プリンタ側のHSYNCに同期して、解凍抽出回路57は、奥面鏡イメージ領域の面積かどうかを判定し、イメージ領域と判定した場合は番号122よりイメージ領域番号を出力する。イメージ領域番号が伸長回路56に入力されると、伸長回路56はメモリ9に格納されている圧縮データを元のイメージデータに伸長して番号121より出力する。

【0016】圧縮回路55は、直交変換符号化、ヘンツ量子化、ブロック符号化等の公知の符号化を行う圧縮符号化回路である。本実施の形態ではメモリ容量削減のため、圧縮率はかなり高く設定されているため、非可逆符号化が用いられる。従って解凍抽出回路57は、但しランレングス符号化など可逆符号化を用いてもよいのは勿論である。

【0017】図3は、圧縮回路55の具体的な構成例を示すブロック図である。本実施の形態は、ISOとCIEの共同作業であるJPEIG (Joint Photographic Expert Group) において提案されているカラー1止画符号化の国際標準化委員のBaseline Systemの符号化結果を示している。（参考文献：安田、「カラー1止画符号化国際標準化」、画像電子学会誌、第18巻、第6号、P.P. 398-407、1989）

【0018】番号線103より入力されたイメージ領域データはデータイン分のランダムメモリによって構成されるブロック化回路11において8×8画素のブロック状に切出され、離散コサイン変換（DCT）回路12にてコ

サイン変換され、変換係数が量子化器（Q）13に供給される。量子化器13では、量子化データ14により印加される量子化ステップ情報に従って変換係数の斜率量子化を行う。量子化された変換係数のうち、DCT係数は予測符号化回路（DPCM）15にて前予測符号化成分との差分（予測誤差）がとられ、ヘンツ符号化回路16に供給される。図4は予測符号化回路15の具体的な構成例である。量子化器13より量子化されたDCT係数は逆戻り回路25及び符号器216に印加される。逆戻り回路25は、離散コサイン変換回路が1ブロック即ち、8×8画素分の演算に必要な時間分だけ逆戻りさせる回路で、従って逆戻り回路25からは前予測符号化の出力には、前予測符号化のDCT係数の差分（予測誤差）が出力されることになる。（本予測符号化では予測値として前予測符号化を用いているため、予測誤差は前述のごとく逆戻り回路にて供給される。

【0019】ヘンツ符号化回路16は、予測符号化回路15より供給された予測誤差係数をDCTヘンツ・コード・データ17に送って可変長符号化し、多重化回路24にDCTヘンツ・コードを供給する。

【0020】一方、量子化器13にて量子化されたAC係数（DCT係数以外の係数）はスキャン変換回路18にて図5（a）に示すように低次の係数より順にジグザグ・スキャンされ、有誤係数抽出回路19に供給される。有誤係数抽出回路19では量子化されたAC係数が“0”かどうか判定し、“0”の場合はラン長カウンタ20にカウンタアップ信号を供給し、カウンタの値を1増加させる。一方、“0”以外の係数の場合は、リセット信号をラン長カウンタに供給し、カウンタの値をリセットすると共に係数をグループ化回路21にて図5（b）に示されるようにグループ番号SSSSと付加ビットに分割し、グループ番号SSSSをヘンツ符号化回路22に、付加ビットを多重化回路24に各々供給する。ラン長カウンタ20は“0”のラン長をカウンタする回路で“0”以外の有誤係数抽出の“0”の数NNNNをヘンツ符号化回路22に供給する。ヘンツ符号化回路22は供給された“0”のラン長NNNNと有誤係数のグループ番号SSSSをACヘンツ・コード・データ23に送って可変長符号化し、多重化回路24にACヘンツ・コードを供給する。

【0021】多重化回路24ではブロック（8×8の入り画面）分のDCTヘンツ・コード、ACヘンツ・コード及び付加ビットを多重化し、番号線104より圧縮された画像データが出力される。

【0022】従って番号線104より出力される圧縮データをメモリに記憶し、読出し時に上述の圧縮のときは逆の操作によって伸長することにより、メモリ容量の削減が可能である。

【0023】なお、伸長回路56は圧縮回路55の逆操作

を行うので、説明は省略する。

【0024】図6は読取メモリ4、51の具体的な構成例を示すブロック図である。図中、29、31はセクタ、30はレジスタ群、32は解凍判定回路である。

【0025】番号線108より入力された読取データはセクタ29によってレジスタ30-2より30-nまで順次供給される。なお、レジスタ30-1にはデフォルトの読取データ（例えば読取メモリ4では白、読取メモリ51では白）が設定されている。解凍判定回路32は番号線105、106より入力される解凍メモリ3の出力データが有効となる範囲を判定し、セクタ31を制御し、番号線109より有効読取データを出力する。

【0026】図7は解凍判定回路32の具体的な構成例を示すブロック図である。図中、33は解凍抽出回路、34はデラシオリディ・エンコーダ、35、36、37、38はレジスタ、39、40は比較回路、41はAND回路である。

【0027】本実施の形態では、各読取レジスタ30-2〜30-nの有効領域を図8に示すような長方形に限定し、最初に走査される点（ x_0, y_0 ）（図8中、長方形の左上角、以下「始点」と称する）及び最後に走査される点（ x_1, y_1 ）（図中、長方形の右下角、以下「終点」と称する）の2点にて設定する。なお、図中x軸方向をプリンタの走査方向、y軸方向を制御走査方向とする。データ読取回路2より読取された上記始点及び終点の座標値（ x_0, y_0 ）、（ x_1, y_1 ）は、図6の解凍レジスタ301に格納する解凍抽出回路33の各レジスタ35、37、36、38に格納される。

【0028】一方、プリンタスタート時には、番号線105、106より、解凍メモリ3より読出されている画素データの各座標値が入力される。第1の比較回路39は、上記解凍メモリ3のx座標値xと、始点及び終点のx座標値 x_0, x_1 とを比較し、 $x_0 \leq x \leq x_1$ のとき“1”を、 $x < x_0$ または $x > x_1$ のとき“0”をAND回路41に入力する。同様に第2の比較回路40は、y座標値yのとき“1”を、 $y < y_0$ または $y > y_1$ のとき“0”をAND回路41に入力する。従ってAND回路41からは、（1） $x_0 \leq x \leq x_1$ かつ $y_0 \leq y \leq y_1$ のとき“1”、（1）以外のとき“0”が出力される。解凍抽出回路33-2〜33-nにて読出された結果は、図8の斜線部に示すような重複部分の優先判定を行うため、デラシオリディ・エンコーダ34にて、読出された領域内、最後に設定された領域の番号がエンコードされて、番号線107より出力される。即ち、重複部分では後から設定された領域が有効と判定される。なお、各領域判定結果が全て“0”となった場合は、デラシオリディ・エンコーダ34は“0”を出力し、図6の読取レジスタ30-1の読取データ（即ちデフォルト値）を選択するようにセクタ

31を制御する。

【0029】通常、解凍メモリ3にはデキスト等の高分解能が要求されるビット解凍データが格納され、読取メモリ51にはイメージ等の高解能性が要求されるデータが格納される。デキスト・データの読取（色）データは読取メモリ4に供給される。デキスト・データの読取（色）が1ページに渡って一定（即ち単位）の場合、あるいは背景（バックグラウンド・カラー）が一定（単位）で、イメージ部に重なるデキストデータが上記背景色である場合は、前記、読取メモリ4の内容は、デフォルトのみとなる。前記、解凍判定回路32、30-2以降のレジスタは不要となる。

【0030】なお、読取メモリは、例えば8（画素）×8（ライン）のブロック単位に1読取（色）設定するよう構成してもよい。

【0031】解凍メモリ3は、各画素1ビットでページ分の容量を持つメモリであるが、読取データの切込に用いているため、画素間の間隔はかなり高く、図12に示すような可変なデータ圧縮符号化を用いることにより、データ量の圧縮も可能である。

【0032】図12は、解凍メモリ3の他の実施の形態を示すブロック図である。図中、60はランレングス符号化回路、61はヘンツ符号化回路、62はメモリ、63はヘンツ復号化回路、64はランレングス復号化回路である。ランレングス及びヘンツ符号化・復号化回路については公知であるため、説明は省略する。

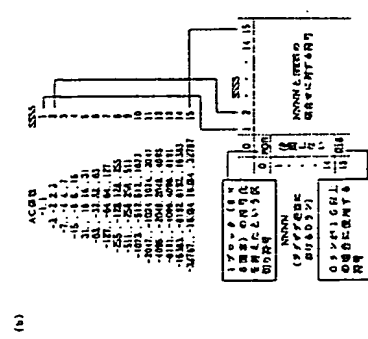
【0033】図1（b）は、図1（a）の画像記録値を含む、画像処理装置の全体構成を示す図である。

【0034】図1（b）において、2001はホストコンピュータと接続された画像入力部であるが、C/Dセンサを含むイメージセンサや外部装置のインターフェース等であってもよい。後者の場合には、データ読取回路501において上記データの読取を行うようにする。2002から入力された画像データは図1（a）に示される画像データが画面データの出力先の指定などを行う操作部、2003は出力制御部であり、画像データの出力先の選択、プリンタエンジン側のHSYNC等のメモリ読出しの同期信号の出力などを行う。同期信号は図1（a）の解凍回路50及びメモリに供給され、データの送達、メモリからの読み出し等の制御信号として用いられる。2004はデラシオリディ等の画像表示部で、2005は公衆回線やローカルエリアネットワークを介して画像データの通信を行う送信部、2006は例えば感光体上にレーザービームを照射して画像を形成し、これを可視画像化するレーザービームプリンタなどの画像出力部である。なお、画像出力部2006は、インクジェットプリンタや熱転写プリンタ、フットプリンタ等であってもよい。

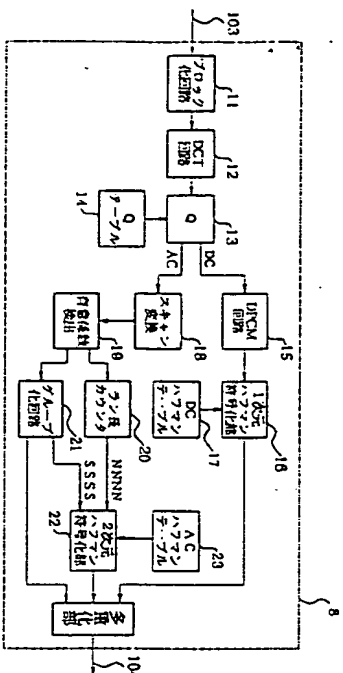
【0035】以上の様に、本実施の形態は画素間の間隔

2000 07 20 18:0

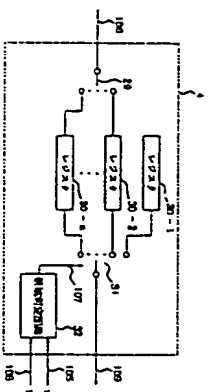
200



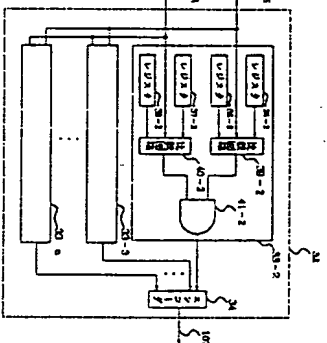
【図3】



【図6】



【図7】



【図9】

